|  |  |  |  |
| --- | --- | --- | --- |
| 计分项目 | 报告分数 | 课堂表现 | 总分 |
| 分值 | 70 | 30 | 100 |
| 得分 |  |  |  |

姓名: 周静怡 学号: 12110345

**组合逻辑电路**

1. **实验目的**

* 掌握组合逻辑电路的功能测试；
* 验证半加器和全加器的逻辑功能；
* 掌握集成译码器及数据选择器的原理；
* 了解译码器及数据选择器的应用。

1. **预习要求**

* 预习组合逻辑电路的分析方法；
* 阅读本实验所用各门电路IC的数据手册；
* 预习用与非门和异或门构成的半加器、全加器的工作原理；
* 预习二进制数的运算。

1. **实验器材**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 名 称 | 型号与规格 | 数 量 | 备 注 |
| 1 | 直流稳压电源 | DP1308A | 1 |  |
| 2 | 数字示波器 | TDS2012C | 1 |  |
| 3 | 函数信号发生器 | DG1022 | 1 |  |
| 4 | 模电数电综合试验箱 | TPE-ADII | 1 |  |
| 5 | 元器件 | 74LS00 二输入端四与非门 3片，  74LS86 二输入端四异或门 1片，  74LS54 四组输入与或非门 1片，  74LS139 2-4线译码器 1片，  74LS153 双4选1数据选择器 1片。 | 7 |  |

1. **实验内容**
   1. **组合逻辑电路功能测试**

用2片74LS00组成图1.1所示逻辑电路，图中U1A,U1B,U1C,U1D为第一片74LS00的四个单元，U2A,U2B,U2D为第二片74LS00的其中三个单元。图中输入A、B、C接电平开关，输出Y1、Y2接LED电平指示。

按照表1.1改变A、B、C的状态，根据LED电平指示填表，并写出Y1和Y2的逻辑表达式。



**图1.1 组合逻辑电路功能测试**

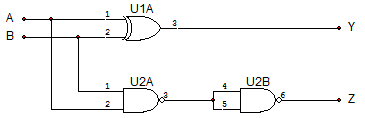
**表1.1 组合逻辑电路功能测试**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| A | B | C | Y1 | Y2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |

Y1 = A+B Y2 = B’C+A’B

* 1. **半加器的逻辑功能测试**

根据半加器的逻辑表达式可知，半加器 Y 是A、B的异或，而进位 Z 是A、B相与，故半加器可用一个集成异或门和两个与非门组成如图2.1所示的电路。其中输入A、B接电平开关，输出Y、Z接LED电平指示。按表2.1要求改变A、B的状态，填表。



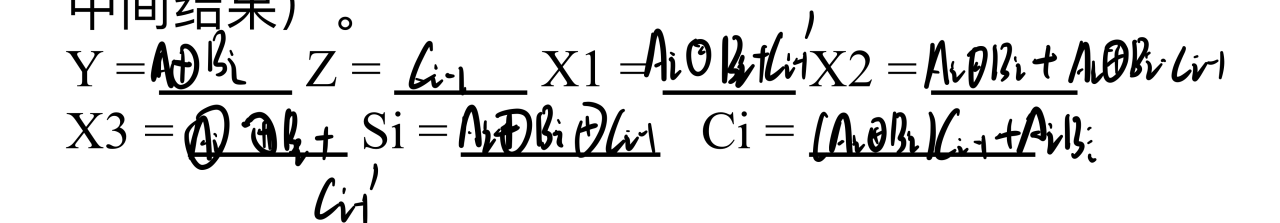
**图2.1 半加器**

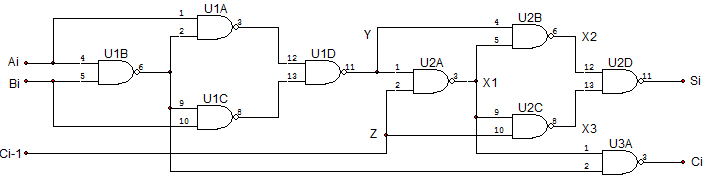
**表2.1 半加器电路逻辑功能测试**

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | 输出 | |
| A | B | Y | Z |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

* 1. **全加器的逻辑功能测试**

全加器电路如图3.1所示，写出以下逻辑表达式（请使用原始输入，不要用中间结果）。





**图3.1 全加器**

根据以上逻辑表达式列真值表如表3.1所示，填写真值表

**表3.1 真值表**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | | | | |
| Ai | Bi | Ci-1 | Y | Z | X1 | X2 | X3 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |

根据真值表，画出逻辑函数Si、Ci的卡诺图

Si的卡诺图 Ci的卡诺图

Bi Ci-1

Bi Ci-1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | 0 0 | 0 1 | 1 1 | 1 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

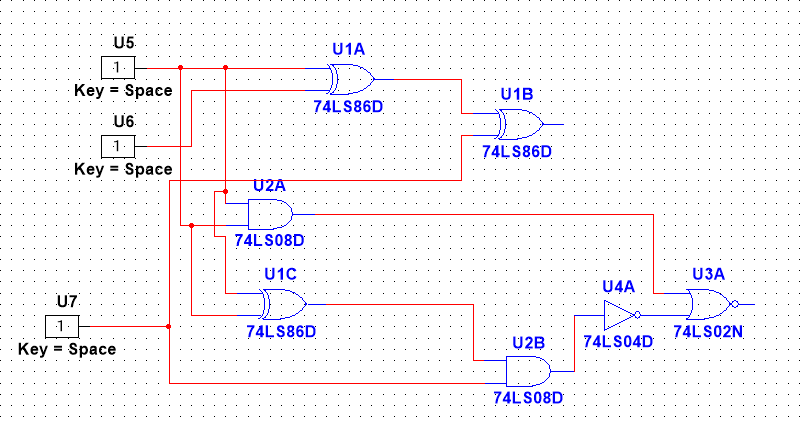
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | 0 0 | 0 1 | 1 1 | 1 0 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |

按原理图选择与非门接线进行测试，检查逻辑功能是否与表3.1一致。

* 1. **测试用异或、与或非门组成的全加器的逻辑功能**

全加器可以用两个半加器和两个与门一个或门组成，在实验中，常用一块双异或门、一个与或非门（3-2-2-3输入）和一个与非门实现。

画出用异或门、与或非门和与非门实现全加器的逻辑电路图，写出逻辑表达式。



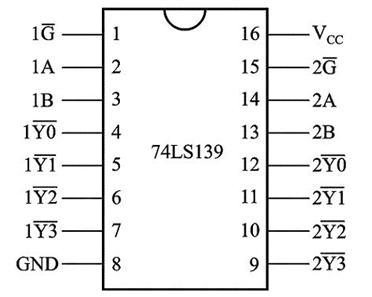
找出异或门、与或非门以及与非门器件按自己画出的图连线，接线时注意与或非门中不用的与门输入端接地。

当输入端Ai、Bi及Ci-1接逻辑电平开关，Si和Ci接LED电平显示，填写下表。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入端 | Ai | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| Bi | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| Ci-1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 输出端 | Si | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| Ci | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

* 1. **译码器功能测试**

将74LS139译码器的管脚1、2、3接电平开关，管脚4、5、6、7接LED电平显示，接好电源和地，改变管脚1、2、3的状态，将结果记录于表5.1。



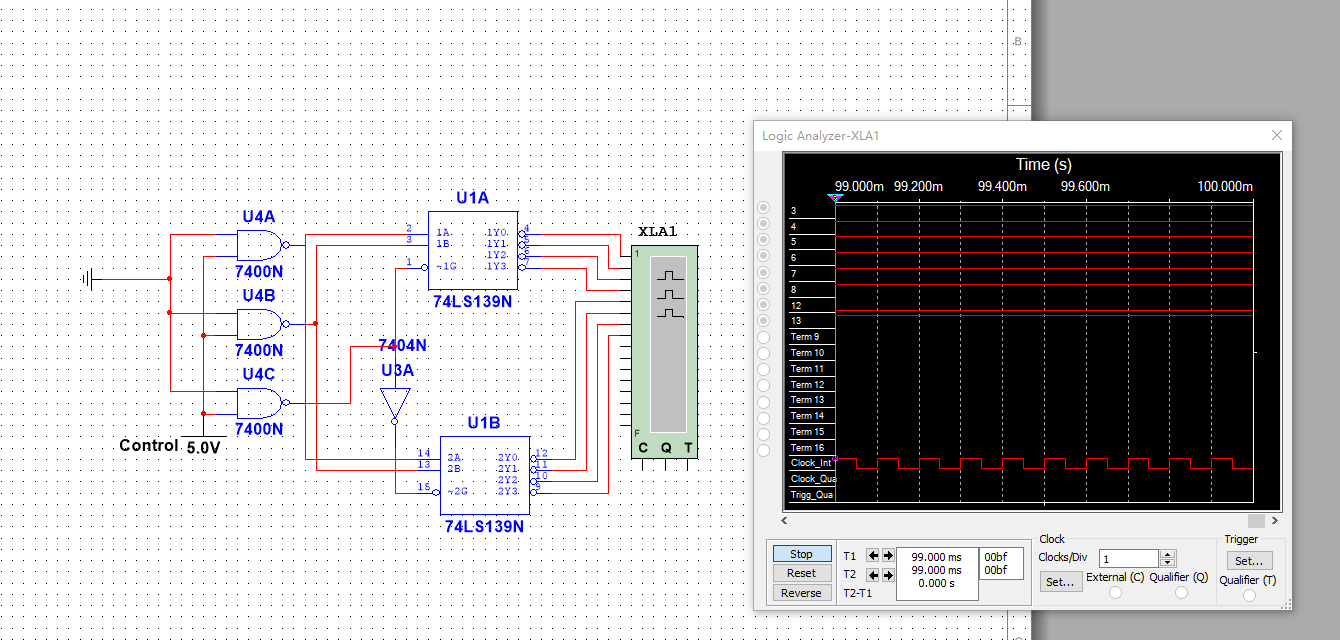
**图5.1 译码器74LS139引脚图**

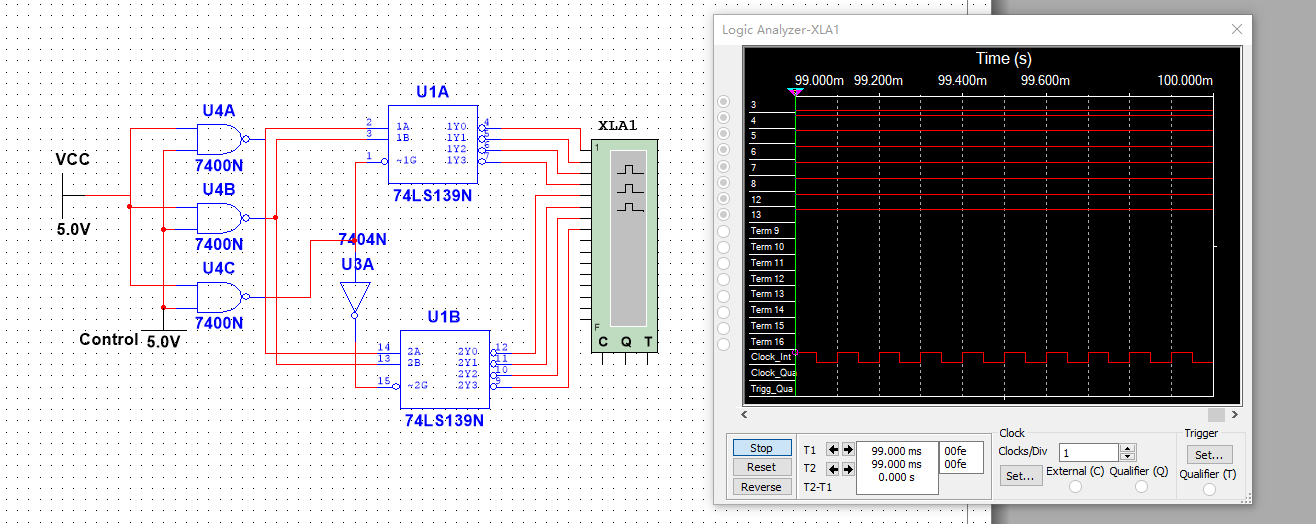
**表5.1 译码器74LS139逻辑功能测试**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | |
| 使能 | 选择 | |
| G | B | A | Y0 | Y1 | Y2 | Y3 |
| H | X | X | 1 | 1 | 1 | 1 |
| L | L | L | 0 | 1 | 1 | 1 |
| L | L | H | 1 | 0 | 1 | 1 |
| L | H | L | 1 | 1 | 0 | 1 |
| L | H | H | 1 | 1 | 1 | 0 |

* 1. **译码器转换**

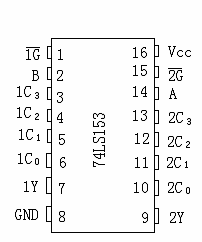
将双2-4线译码器(带使能端，三输入四输出)转换为带使能端的3-8线译码器（四输入八输出，可以额外增加与非门等逻辑门），画出转换电路图并在实验箱上接线并验证设计是否正确。

****

****

* 1. **数据选择器的测试及应用**

将双4选1数据选择器74LS153的管脚如图7.1所示，将管脚1、2、14接入逻辑开关，连接电源，测试其功能并填写功能表7.1。

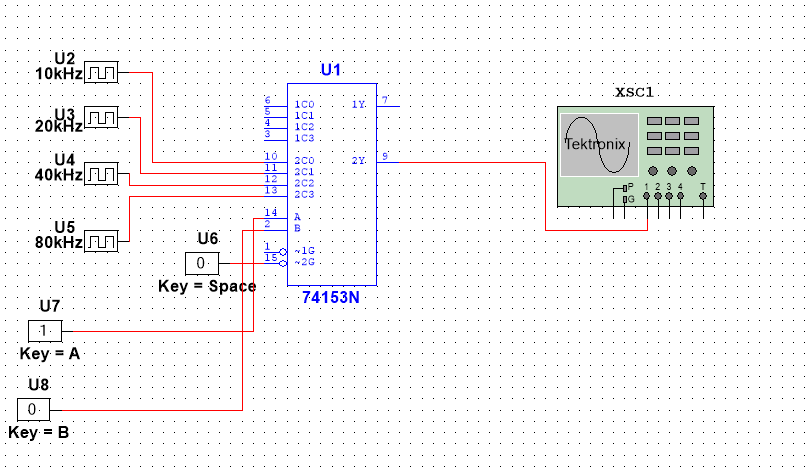


**图7.1 数据选择器74LS153**

**表7.1 数据选择器74LS153的逻辑功能测试**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 选择端 | | 数据输入端 | | | | 输出控制 | 输出 |
| B | A | C0 | C1 | C2 | C3 | G | Y |
| X | X | X | X | X | X | H | 0 |
| L | L | L | X | X | X | L | L |
| L | L | H | X | X | X | L | H |
| L | H | X | L | X | X | L | L |
| L | H | X | H | X | X | L | H |
| H | L | X | X | L | X | L | L |
| H | L | X | X | H H | X | L | H |
| H | H | X | X | X | L | L | L |
| H | H | X | X | X | H | L | H |

将实验箱脉冲信号源中固定连续脉冲4个不同频率的信号接到数据选择器4个输入端（3脚接80kHz，4脚接40kHz，5脚接20kHz，6脚接10kHz），将选择端置位，在输出端用示波器可以观察到4种不同频率的脉冲信号。



附录：IC引脚图

